

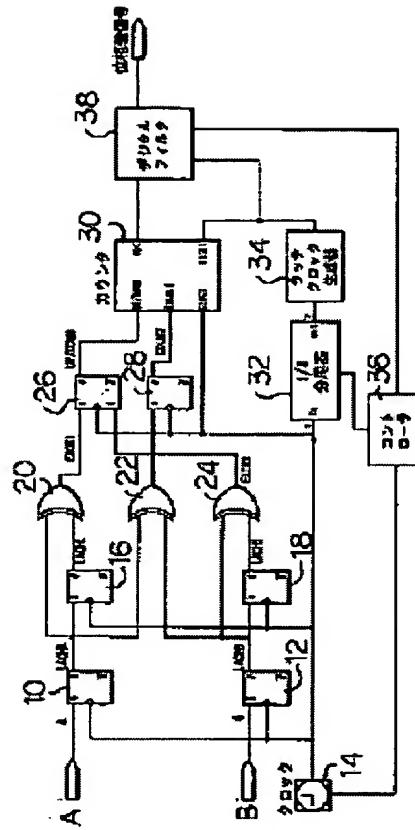
**DIGITAL PHASE COMPARATOR**

**Patent number:** JP2000077990  
**Publication date:** 2000-03-14  
**Inventor:** MORI TOSHIO  
**Applicant:** VICTOR CO OF JAPAN LTD  
**Classification:**  
 - **international:** H03K5/26; G01R25/00  
 - **european:**  
**Application number:** JP19980249480 19980903  
**Priority number(s):**

**Abstract of JP2000077990**

**PROBLEM TO BE SOLVED:** To provide a phase comparator which consists of a full digital circuit of high performance at a low cost.

**SOLUTION:** An exclusive OR is secured via an exclusive OR gate 22 and accordingly the phase difference value is detected for the signals which are latched by the D flip-flops 10 and 12. At the same time, an exclusive OR is secured for the preceding and next signals of the D flip-flops 16 and 18 to extract two waveform edges. These waveform edges are supplied to an RS flip-flop 26 for detection of a phase difference code (leading or lagging phase). The phase difference value and the phase difference code are supplied to a counter 30 where a phase difference is detected.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-77990

(P2000-77990A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.<sup>7</sup>

H 03 K 5/26  
G 01 R 25/00

識別記号

F I

H 03 K 5/26  
G 01 R 25/00

テマコード(参考)

G 2 G 0 3 0  
5 J 0 3 9

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号

特願平10-249480

(22)出願日

平成10年9月3日 (1998.9.3)

(71)出願人 000004329

日本ピクター株式会社  
神奈川県横浜市神奈川区守屋町3丁目12番  
地

(72)発明者 森 俊夫

神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ピクター株式会社内

(74)代理人 100090413

弁理士 梶原 康稔

Fターム(参考) 2C030 AA01 AA02 AC01 AC02 AC07

AD01

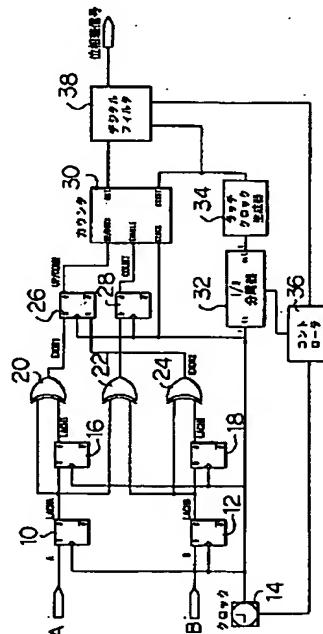
5J039 JJ07 JJ13 JJ15 JJ20 KK09  
KK13 KK20 KK25 KK27 MM16

(54)【発明の名称】 デジタル位相比較器

(57)【要約】

【課題】 低成本で高性能な全デジタル回路で構成の位相比較器を提供する。

【解決手段】 Dフリップフロップ10, 12でラッチされた信号は、排他的論理和ゲート22で、排他的論理和をとることにより位相差量が検出される。また、Dフリップフロップ16, 18の前後信号の排他的論理和をとることにより、2つの波形のエッジが抽出される。これらをRSフリップフロップ26に供給することによって、位相差の符号(進み位相か遅れ位相か)が検出される。位相差量及び位相差符号は、カウンタ30に供給され、ここで位相差が検出される。



## 【特許請求の範囲】

【請求項1】 2つの論理値信号の位相差を検出するデジタル位相比較器において、

前記2つの論理値信号の位相差量を検出する位相差量検出手段；前記2つの論理値信号の位相差の符号を検出する位相差符号検出手段；前記位相差量検出手段によって検出された位相差信号を、前記位相差符号検出手段によって検出された位相差の符号を利用して、デジタル信号に変換するピット列変換手段；これによって変換された位相差信号に対して所定の帯域のフィルタリングを行うフィルタ手段；を備えたことを特徴とするデジタル位相比較器。

【請求項2】 前記位相差量検出手段及び位相差符号検出手段を、前記2つの論理値信号をそれぞれ順次ラッチする複数のラッチ手段と、これらラッチ手段によってラッチされた論理値信号に対して排他的論理和の演算を行う複数の演算手段とによって構成するとともに、前記ピット列変換手段を、前記位相差符号に基づいて決定されたカウント方向に、前記位相差信号をカウントするカウンタ手段によって構成したことを特徴とする請求項1記載のデジタル位相比較器。

【請求項3】 前記ラッチ手段の動作の基準となるクロック、前記フィルタ手段及びカウンタ手段のラッチクロック、前記フィルタ手段の特性を変更する制御手段を備えたことを特徴とする請求項2記載のデジタル位相比較器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、2つの論理値信号の位相差を比較し、比較結果をデジタル信号として出力する場合に好適なデジタル位相比較器に関するものである。

## 【0002】

【従来の技術】 2つの論理値信号の位相差を比較する位相比較器としては、各種のものが知られている。例えば、代表的なものとして図4のような回路がある。同図において、論理値信号A、Bの位相を比較する比較回路100は、図示のように多数のNANDゲート及びインバータによって構成されており、入力信号A、Bの位相がデジタル的に比較される。比較結果は、チャージポンプ回路102に供給される。このチャージポンプ回路102は、複数のMOSトランジスタによって構成されており、これによってアナログ信号の形で比較結果である位相エラー信号が出力される。

## 【0003】

【発明が解決しようとする課題】 しかしながら、以上のような従来技術では、デジタルの比較回路100の出力段にアナログのチャージポンプ回路102が使用されている。このため、これら全体をまとめてLSI化することが困難であるとともに、出力信号をデジタル信号とし

て扱うためには、A/Dコンバータなどが必要になる。また、位相比較器の特性を動的に変更することは、アナログ回路を持つ関係上難しい。更に、デジタル信号の立ち上がりと立ち下がりの両方のエッジの位相差を検出するには、図4のような回路が2組必要になり、回路が複雑化してコストが上がってしまう。

【0004】 本発明は、以上の点に着目したもので、低コストで高性能なデジタル位相比較器を提供することを、その目的とするものである。

## 【0005】

【課題を解決するための手段】 前記目的を達成するため、この発明は、2つの論理値信号の位相差を検出するデジタル位相比較器において、前記2つの論理値信号の位相差量を検出する位相差量検出手段(10, 12, 22, 28)；前記2つの論理値信号の位相差の符号を検出する位相差符号検出手段(16, 18, 20, 24, 26)；前記位相差量検出手段によって検出された位相差信号を、前記位相差符号検出手段によって検出された位相差の符号を利用して、デジタル信号に変換するピット列変換手段(30)；これによって変換された位相差信号に対して所定の帯域のフィルタリングを行うフィルタ手段(38)；を備えたことを特徴とする。

【0006】 主要な形態によれば、前記位相差量検出手段及び位相差符号検出手段が、前記2つの論理値信号をそれぞれ順次ラッチする複数のラッチ手段と、これらラッチ手段によってラッチされた論理値信号に対して排他的論理和の演算を行う複数の演算手段とによって構成するとともに、前記ピット列変換手段が、前記位相差符号に基づいて決定されたカウント方向に、前記位相差信号をカウントするカウンタ手段によって構成される。

【0007】 更に他の形態によれば、前記ラッチ手段の動作の基準となるクロック、前記フィルタ手段及びカウンタ手段のラッチクロック、前記フィルタ手段の特性を変更する制御手段が設けられる。

## 【0008】

【発明の実施の形態】 以下、図1及び図2を参照しながら本発明の実施の形態について詳細に説明する。図1は、本発明の実施形態の構成を示すブロック図である。図2は、図1に対応するタイミングチャートである。

【0009】 図1において、Dフリップフロップ1のQ出力側（非反転出力側）は、Dフリップフロップ16、排他的論理ゲート20及び排他的論理ゲート22にそれぞれ接続されている。Dフリップフロップ16のQ出力側は、排他的論理ゲート20に接続されている。排他的論理ゲート20の出力側は、RSフリップフロップ26のS端子に接続されている。

【0010】 一方、Dフリップフロップ12のQ出力側は、Dフリップフロップ18、排他的論理ゲート24及び排他的論理ゲート22にそれぞれ接続されている。Dフリップフロップ18のQ出力側は、排他的論理

和ゲート24に接続されている。排他的論理和ゲート24の出力側は、RSフリップフロップ26のR端子に接続されている。排他的論理和ゲート22の出力側は、Dフリップフロップ28のD端子に接続されている。Dフリップフロップ28のQ出力側は、カウンタ30のENABLE端子に接続されている。

【0011】RSフリップフロップ26のQ出力側は、カウンタ30のUP/DOWN端子に接続されている。カウンタ30の出力側は、デジタルフィルタ38に接続されている。

【0012】コントローラ36の出力側は、クロック14, 1/N分周器32及びデジタルフィルタ38にそれぞれ接続されている。クロック14の出力側は、Dフリップフロップ10, 12, 16, 18, 28, RSフリップフロップ26, カウンタ30の各CLK端子及び1/N分周器32のIN端子にそれぞれ接続されている。1/N分周器32の出力側は、ラッチクロック生成器34に接続されている。ラッチクロック生成器34の出力側は、カウンタ30のRESET端子及びデジタルフィルタ38に接続されている。

【0013】次に、以上の各部の動作を説明する。Dフリップフロップ10, 12には、それぞれ図2に示す論理値信号A及びBが入力され、Dフリップフロップ10及び12で図2に示すクロック信号CLOCKの立ち上がりタイミングでラッチされる。ラッチされた信号波形は、図2にLACHA及びLACHBで示されている。排他的論理和ゲート22では、ラッチされた2つのビット列の対応するビットが異なるとき1になる論理演算を行う。従って、排他的論理和ゲート22では、ラッチされた信号の排他的論理和がとられることにより位相差量が検出される。

【0014】Dフリップフロップ16及び排他的論理和ゲート20では、Dフリップフロップ10の前後のラッチ信号の排他的論理和をとることにより、信号波形Aのエッジが抽出される(図2のXOR1)。抽出されたエッジ信号は、RSフリップフロップ26のS端子に入力される。Dフリップフロップ18及び排他的論理和ゲート24では、Dフリップフロップ12の前後のラッチ信号の排他的論理和をとることにより、信号波形Bのエッジが抽出される(図2のXOR2)。抽出されたエッジ信号は、RSフリップフロップ26のR端子に入力される。

【0015】RSフリップフロップ26では、S及びRの各端子にそれぞれ入力された信号により位相差の符号、すなわち進み位相か遅れ位相かが検出される(図2のUP/DOWN)。検出された位相差の符号信号は、カウンタ30のUP/DOWN端子に入力される。位相差量と位相差の符号信号のタイミングを合わせるため、排他的論理和ゲート22から検出された位相差量信号は、Dフリップフロップ28を介してカウンタ30のE

NABLE端子に入力される。

【0016】カウンタ30では、検出された位相差量信号が適当なクロックでカウントされて、デジタル信号として出力される。すなわち、カウンタ30では、RSフリップフロップ26で検出された位相差の符号信号に基づいてカウントアップ、カウントダウンのいずれかが決定される。例えば、位相差の符号信号が論理値の「1」の進み位相の状態ではアップカウンタ、論理値の「0」の遅れ位相の状態ではダウンカウンタという具合である。

10 そして、ENABLE端子が論理値の「1」のとき、すなわち位相差量信号が位相差があることを示す論理値の「1」の状態のとき、カウント動作が行われる。カウンタ30のカウント値である出力信号は、1/N分周器32によって生成されたタッチクロックによってデジタルフィルタ38に送られるとともに、カウンタ30の値がリセットされる。デジタルフィルタ38では、適切な帯域のフィルタリングが行われる。これによって、位相のデジタル信号が得られる。

【0017】図3は、前記形態のデジタル位相比較器20を、光ディスクのトラッキングエラー検出に適用した実施例である。図3において、4分割のフォトディテクタ50の各分割出力は、トラッキングエラーに応じた位相差を含んだ信号である。これらの分割信号は、I-Vアンプ52～58を介して、位相差補正用のディレイ回路60～66にそれぞれ供給される。そして、フォトディテクタ50のうちの対角に位置するものの信号が加算される。すなわち、ディレイ回路60, 64の出力が加算器68で加算され、ディレイ回路62, 66の出力が加算器70で加算される。加算信号は、コンバレータ72, 74でそれぞれ2値化(デジタル化)される。そして、デジタル化された2つのデジタル信号A, Bが、上述したデジタル位相比較器80に供給される。デジタル位相比較器80では、上述したようにして信号A, Bの位相比較が行われ、それらの位相差信号、すなわちデジタルのトラッキングエラー信号が得られる。

【0018】更に、以上の動作において、コントローラ36は、クロック14の周波数(例えば100MHz), 1/N分周器32の分周数N(例えばN=512)及びデジタルフィルタ38の帯域を制御する。クロック14は、Dフリップフロップ10, 12, 16, 18, 28, RSフリップフロップ26及びカウンタ30のクロック信号(図2のCLOCK)を提供する。1/N分周器32及びラッチクロック生成器34によってリセット信号が生成され、カウンタ30及びデジタルフィルタ38に提供される。カウンタ30は、このリセット信号に基づいてラッチと同時にリセットされる。これにより、クロック、デジタル変換、デジタルフィルタリングの特性が適時変更される。

【0019】

50 【発明の効果】以上説明したように、本発明によれば、

次のような効果が得られる。

(1) 位相比較器のすべての回路がクロックに同期したデジタル回路で構成されており、全体をLSI化することができる。

(2) 論理値信号の立ち上がりと立ち下がりの両方の位相差を1つの回路で比較でき、回路の簡単化、低コスト化が可能である。

(3) すべてデジタル回路で構成可能なので、位相比較器の特性を簡単に適宜変更することができる。

(4) 入力信号より十分高い周波数の動作クロックを用いることにより、精度も十分確保することができる。

(5) 普通のトラッキング時とサーチなどの特殊処理時という具合に、位相比較器の性能をそれぞれの特性に応じた最適な状態にすることが可能である。

【図面の簡単な説明】

【図1】本発明の実施形態の構成を示すブロック図である。

【図2】図1に対応するタイミングチャートである。

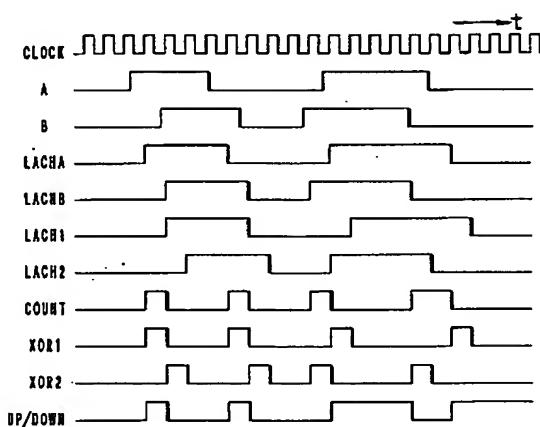
【図3】前記形態を、光ディスクのトラッキングエラー検出に適用した実施例を示すブロック図である。 \*20

\*【図4】従来の位相比較器の構成を示す図である。

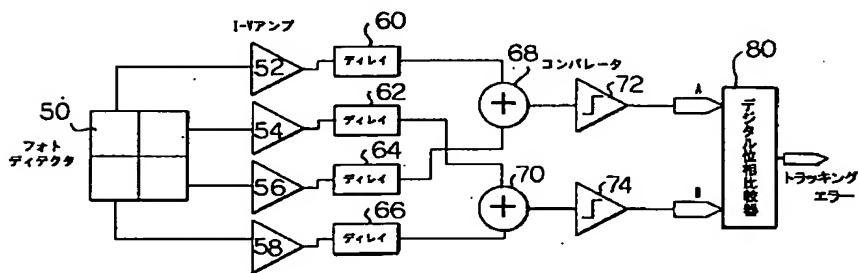
【符号の説明】

10, 12, 16, 18, 28…	Dフリップフロップ
14…	クロック
20, 22, 24…	排他的論理和ゲート
26…	RSフリップフロップ
30…	カウンタ
32…1/N分周器	
34…ラッチクロック生成器	
10	36…コントローラ
	38…デジタルフィルタ
	50…フォトディテクタ
	52～58…アンプ
	60～66…ディレイ回路
	68, 70…加算器
	72, 74…コンバレータ
	80…デジタル位相比較器
	100…比較回路
	102…チャージポンプ回路

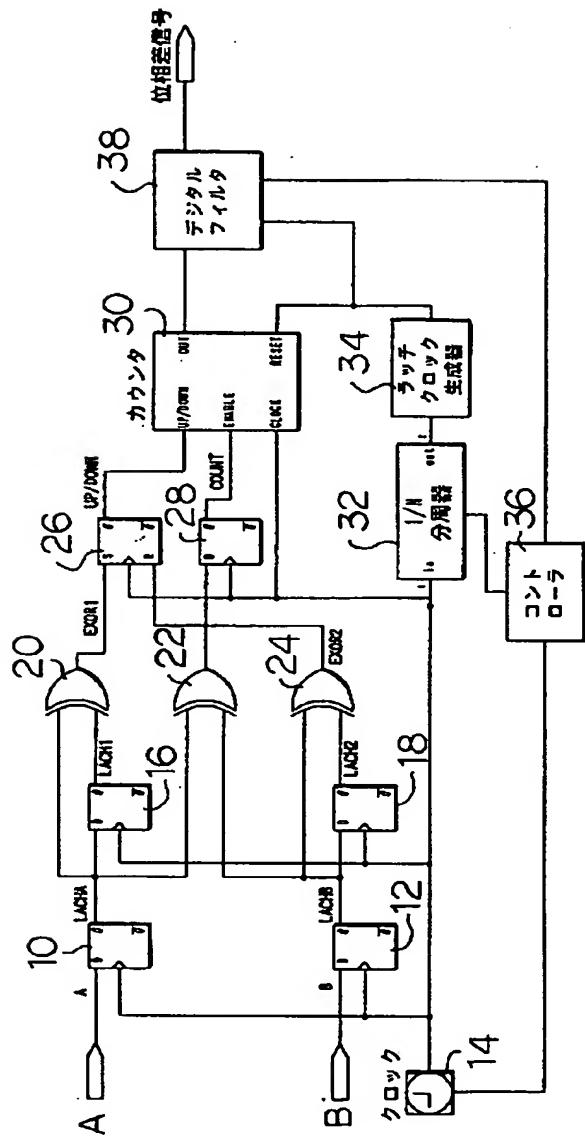
【図2】



【図3】



[図1]



【図4】

